

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 01055652 A

(43) Date of publication of application: 02.03.89

(51) Int. Cl **G06F 11/22**
G06F 1/00
G06F 11/28

(21) Application number: **62211233**
(22) Date of filing: **27.08.87**

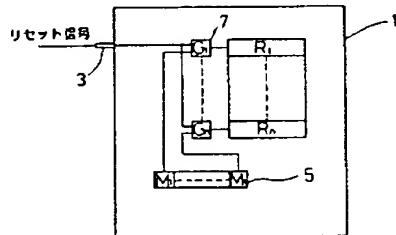
(71) Applicant: **TOSHIBA CORP**
(72) Inventor: **YOSHIDA TOSHIYA**

(54) DATA PROCESSOR

(57) Abstract:

PURPOSE: To efficiently perform the debugging processing, by controlling the initialization of a storage means in which information required for debugging processing is stored by select information set and supplied independently of a reset signal.

CONSTITUTION: When the reset signal is given to a gate circuit 7, to which mask information M_1WM_n indicating that initialization of debugging registers R_1WR_n is inhibited are given, from the external through a reset terminal 3, an initializing signal is not given to corresponding debugging registers R_1WR_n from the gate circuit 7; but when the reset signal is given to the gate circuit 7, to which mask information M_1WM_n indicating that initialization of debugging registers R_1WR_n is permitted are given, from the external through the reset terminal 3, the initializing signal is given to corresponding debugging registers R_1WR_n from the gate circuit 7. Thus, the initialization of debugging registers due to the reset signal is inhibited to efficiently perform the debugging processing.



COPYRIGHT: (C)1989,JPO&Japio

検索④- 15/42

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭64-55652

⑬ Int.Cl.⁴G 06 F 11/22
1/00
11/28

識別記号

3 4 0
3 5 0

庁内整理番号

A-7368-5B
Z-6745-5B
L-7343-5B

⑭ 公開 昭和64年(1989)3月2日

審査請求 有 発明の数 1 (全5頁)

⑮ 発明の名称 データ処理装置

⑯ 特願 昭62-211233

⑰ 出願 昭62(1987)8月27日

⑱ 発明者 吉田 俊哉 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導

体システム技術センター内

⑲ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑳ 代理人 弁理士 三好 保男 外1名

明細書

1. 発明の名称

データ処理装置

2. 特許請求の範囲

(1) データの処理に必要な情報を受け取る記憶手段と、

前記記憶手段における初期化の許可/禁止を選択する選択情報とリセット信号を受けて、前記選択情報が禁止状態にある時に前記リセット信号による前記記憶手段の初期化を禁止する初期化制御手段と、

を有することを特徴とするデータ処理装置。

(2) 前記選択情報は外部から前記初期化制御手段に与えられることを特徴とする特許請求の範囲第1項に記載のデータ処理装置。

(3) 前記選択情報はソフトウェアにより設定されて内部から前記初期化制御手段に与えられることを特徴とする特許請求の範囲第1項に記載のデータ処理装置。

3. 発明の詳細な説明

〔発明の目的〕

〔産業上の利用分野〕

この発明は、リセット時に内部レジスタの格納情報を保持することができるデータ処理装置に関する。

〔従来の技術〕

データ処理装置例えばプロセッサは、プロセッサを含むシステムに対して外部に設けられた外部回路から与えられるリセット信号を受けてリセットされるのが一般的である。

このような外部回路では、リセット信号をプロセッサに与える処理をプログラムにより行う場合がある。すなわち、外部回路は、プロセッサから所定のアドレスに対して出力される所定のデータを受けることによりリセット信号を発生して、このリセット信号をプロセッサに与えるような場合がある。このように、外部回路に対してリセット信号を発生させるような処理を行うプログラムはプロセッサを含むシステムを評価するテストプログラム等で採用されている。

ところで、このような外部回路によりリセットされるプロセッサを含むシステムにおいては、デバッガとしての機能を有し、システムデバッグを実現するインサーキット・エミュレータを用いてデバッグ処理が行われている。すなわち、プロセッサに内蔵された複数のデバッグ用レジスタにプログラムの実行途中にプログラムを任意のアドレスで停止(ブレーク)させるとためのアドレスをプログラムの実行開始時に設定し、設定後プログラムを実行させてデバッグ用レジスタに設定された停止(ブレーク)アドレスにしたがってプログラムを停止(ブレーク)させ、その時点でプロセッサの内部レジスタあるいはメモリの内容を監視しながらデバッグ処理が行われる。

このような、インサーキットエミュレータ等の外部回路によりリセットが行われるシステムのデバッグにあっては、プログラムが開始されてから任意のアドレスで停止するまでの間に、外部回路に対してリセット信号を発生させるような命令が実行されてしまうことがあった。このような場合

書いていた。さらには、デバッグの際に用いられるインサーキットエミュレータの仕様によつては、上記動作が不可能となり、デバッグを現實に行うことが困難になるという問題があつた。

そこで、この発明は、上記に述べてなされたものであり、その目的とするところは、リセット信号によるデバッグ用レジスタの初期化を禁止して、デバッグ処理を効率的に行うことができるデータ処理装置を提供することにある。

【発明の構成】

（発明点を解決するための手段）

上記目的を達成するために、この発明は、^{データの}処理に必要な情報を格納する記憶手段と、前記記憶手段における初期化の許可/禁止を選擇する選択情報とリセット信号を受けて、前記選択情報が禁止状態にある時に前記リセット信号による前記記憶手段の初期化を禁止する初期化抑制手段とから構成される。

（作用）

上記構成において、この発明のデータ処理装

には、外部回路から与えられるリセット信号により、プロセッサの内部レジスタは既条件にリセットされて初期化されることになる。

さらに、デバッグ用レジスタの内容も初期化されてしまい、プログラムの実行開始時に設定した停止(ブレーク)アドレスが設定値と異なってしまう。このため、プログラムを設定された任意のアドレスで停止(ブレーク)させることができなくなるという不具合を招くことになる。

（発明が解決しようとする問題）

したがつて、このような不具合を回避するために、従来では、外部回路に対してリセット信号を発生させる命令を実行した直後、プログラムの実行を停止して、インサーキットエミュレータ等の外部回路により内部レジスタ及びデバッグ用レジスタをリセットし、プログラムの停止アドレスをあらためて設定して、プログラムの実行を再開するようにしていた。

しかしながら、このような操作を行ふことは、デバッグの効率を著しく低下させるという問題を

直は、選択情報が許可状態にある時は、リセット信号により前記記憶手段を含むデータ処理装置全體をリセットし、選択情報が禁止状態にある時には、リセット信号による前記記憶手段の初期化を禁止するようにしている。

（実施例）

以下、図面を用いてこの発明の実施例を説明する。

第1図はこの発明の一実施例に用いるデータ処理装置の構成を示す図である。

第1図において、データ処理装置例えばプロセッサ1は、外部から与えられプロセッサ1全體をリセットするリセット信号を受けるリセット端子3と、デバッグの際にデバッグに必要な情報を格納する複数のデバッグ用レジスタR₁～R₁₀と、マスク機能を備える例えはレジスタ5と、複数のゲート回路7とを有している。

レジスタ5は、複数のデバッグ用レジスタR₁～R₁₀にそれぞれ対応して設けられており、デバッグ用レジスタR₁～R₁₀の初期化を許可するか

あるいは禁止するかを示す選択信号となるマスク信号 $M_1 \sim M_n$ を格納するものである。このマスク信号 $M_1 \sim M_n$ は、例えば "1", "0" の 2 進信号として、それぞれ個別に命令によって設定されるとともに変更されるようになっており、これらのマスク信号は対応するゲート回路 7 に与えられる。

ゲート回路 7 は、デバッグ用レジスタ $R_1 \sim R_n$ にそれぞれ対応して置かれている。各々のゲート回路 7 は、外部からリセット端子 3 に与えられるリセット信号と、それに対応するマスク信号 $M_1 \sim M_n$ を受けて、リセット信号とマスク信号 $M_1 \sim M_n$ との論理をとり、デバッグ用レジスタ $R_1 \sim R_n$ を初期化する初期化信号をデバッグ用レジスタ $R_1 \sim R_n$ に与えるものである。

すなわち、デバッグ用レジスタ $R_1 \sim R_n$ の初期化を禁止する旨を示すマスク信号 $M_1 \sim M_n$ が与えられたゲート回路 7 に、外部からリセット端子 3 を介してリセット信号が与えられた場合は、初期化信号はゲート回路 7 から対応するデバッグ

れ対応するゲート回路 7 から与えられる初期化信号によって初期化される。

以上説明したように、この発明の一実施例は構成されており、次にこの実施例の作用を説明する。

まずははじめに、外部からリセット端子 3 に与えられるリセット信号が、論理レベル "1" でアクティブ状態となり、プロセッサ 1 及びデバッグ用レジスタ $R_1 \sim R_n$ をリセットするような場合について説明する。

このような場合には、ゲート回路 7 をアンドゲートで構成して、マスク信号 $M_1 \sim M_n$ の論理レベルが "0" でデバッグ用レジスタ $R_1 \sim R_n$ の初期化を禁止し、論理レベルが "1" で初期化を許可するようにマスク信号 $M_1 \sim M_n$ の論理レベルを設定し、ゲート回路 7 から出力される初期化信号の論理レベルが "1" で初期化を行うようとする。

これにより、リセット信号により初期化を禁止しようとするデバッグ用レジスタ $R_1 \sim R_n$ に対応したマスク信号 $M_1 \sim M_n$ を "0" レベルに置

用レジスタ $R_1 \sim R_n$ に与えられず、デバッグ用レジスタ $R_1 \sim R_n$ の初期化を許可する旨を示すマスク信号 $M_1 \sim M_n$ が与えられたゲート回路 7 に、外部からリセット端子 3 を介してリセット信号が与えられた場合には、初期化信号がゲート回路 7 から対応するデバッグ用レジスタ $R_1 \sim R_n$ に与えられる。

このような初期化信号のデバッグ用レジスタ $R_1 \sim R_n$ への供給動作は、リセット信号及びマスク信号におけるアクティブとなる論理レベルの設定のし方に応じて、ゲート回路 7 を論理積 (アンド) ゲートあるいは論理和 (オア) ゲートで構成することにより実現される。

デバッグ用レジスタ $R_1 \sim R_n$ は、デバッグの際にプログラムを停止 (ブレーク) させる位置を示す停止アドレスを含み、デバッグの際に必要なアドレスを格納するアドレスレジスタ群と、このアドレスレジスタ群に格納されたアドレスに対するプロセッサのアクセス権限を格納するアトリビュートレジスタ群とから構成されており、それぞ

れ対応するゲート回路 7 から与えられる初期化信号によって初期化される。

定するようにはすれば、リセット信号が "1" レベルとなりそれぞれのゲート回路 7 に与えられても "0" レベルのマスク信号 $M_1 \sim M_n$ が与えられたゲート回路 7 の初期化信号は "0" レベルとなる。したがって、"0" レベルのマスク信号 $M_1 \sim M_n$ が与えられたゲート回路 7 に対応するデバッグ用レジスタ $R_1 \sim R_n$ は初期化されず、格納された信号は保持されることになる。

一方、"1" レベルのマスク信号 $M_1 \sim M_n$ が与えられたゲート回路 7 からは "1" レベルの初期化信号が出力され、この初期化信号が与えられたデバッグ用レジスタ $R_1 \sim R_n$ は初期化される。

次に、リセット信号が論理レベル "0" でアクティブ状態となり、プロセッサ 1 及びデバッグ用レジスタ $R_1 \sim R_n$ をリセットするような場合について説明する。

このような場合には、ゲート回路 7 をオアゲートで構成して、マスク信号 $M_1 \sim M_n$ の論理レベルが "1" でデバッグ用レジスタ $R_1 \sim R_n$ の初期化を禁止し、論理レベルが "0" で初期化を行

可するようにマスク情報 $M_1 \sim M_n$ の各理レベルを設定し、ゲート回路 7 から出力される初期化信号の各理レベルが “1” で初期化を行うようとする。

これにより、リセット信号により初期化を禁止しようとするデバッグ用レジスタ $R_1 \sim R_n$ に対応したマスク情報 $M_1 \sim M_n$ を “1” レベルに設定するようすれば、リセット信号が “0” レベルとなりそれぞれのゲート回路 7 に与えられても、“1” レベルのマスク情報 $M_1 \sim M_n$ が与えられたゲート回路 7 の初期化信号は “1” レベルとなる。したがって、“1” レベルのマスク情報 $M_1 \sim M_n$ が与えられたゲート回路 7 に対応するデバッグ用レジスタ $R_1 \sim R_n$ は初期化されず、送納された負担は削除されることになる。

一方、“0” レベルのマスク情報 $M_1 \sim M_n$ が与えられたゲート回路 7 からは、“0” レベルの初期化信号が出力され、この初期化信号が与えられたデバッグ用レジスタ $R_1 \sim R_n$ は初期化される。

初期化信号を各々のデバッグ用レジスタ $R_1 \sim R_n$ に与えるようにしたことにあら。ここで、ゲート回路 7 は、リセット信号及びマスク信号の各理レベルに応じて、前述した実施例と同様に、アンドゲートあるいはオアゲート等で構成すればよい。

このような構成においても、前述した実施例と同様の効果を得ることができるとともに、ゲート回路の回路を低減して、構成を小型化することができる。また、リセット信号により全てのデバッグ用レジスタ $R_1 \sim R_n$ を一括して初期化することができるようとなる。

【発明の効果】

以上説明したように、この発明によれば、リセット信号に対して独立して設定され供給される選択信号により、デバッグ処理に必要な價格を削減する記憶手段の初期化を抑制するようにしたので、リセット信号による前記記憶手段の初期化を禁止することができるとなり、リセット信号によって装置全体がリセットされても、前記記憶手段に格納されている價格を保持することができる。こ

のよう、デバッグ用レジスタ $R_1 \sim R_n$ の初期化を行うか否かを選擇する選擇信号としてマスク情報を各々のデバッグ用レジスタ $R_1 \sim R_n$ 每に個別に設定することで、プログラムの実行開始時に設定されデバッグ用レジスタ $R_1 \sim R_n$ に送納される停止（ブレーキ）アドレスのリセット信号による初期化は防止され、再度、停止（ブレーキ）アドレスを設定するというような操作は不要となり、デバッグ作業を迅速かつ円滑に行うことができるようになる。

第 2 図はこの発明の他の実施例に係るデータ処理装置の構成を示す図である。なお、図において第 1 図と同符号のものは同一物であり、その説明は省略する。

この実施例の特徴とするところは、プロセッサ 1 にマスク信号 9 を送けて、デバッグ用レジスタ $R_1 \sim R_n$ の初期化を監視する選択信号としてマスク信号を外部からマスク信号 9 を介してプロセッサ 1 に与え、このマスク信号とリセット信号を入力とする 1 つのゲート回路 7 の出力すなわち初

期化信号を各々のデバッグ用レジスタ $R_1 \sim R_n$ に与えるようにしたことにあら。ここで、ゲート回路 7 は、リセット信号及びマスク信号の各理レベルに応じて、前述した実施例と同様に、アンドゲートあるいはオアゲート等で構成すればよい。

4. 図面の簡単な説明

第 1 図はこの発明の一実施例に係るデータ処理装置の構成を示す図、第 2 図はこの発明の他の実施例に係るデータ処理装置の構成を示す図である。

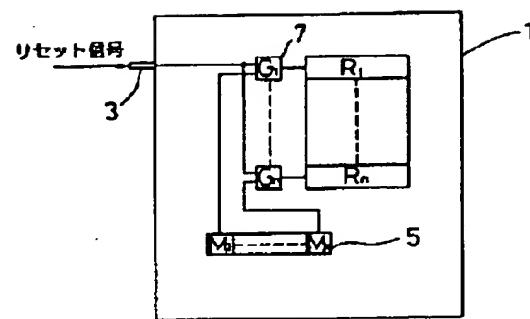
1 …プロセッサ

5 …レジスタ

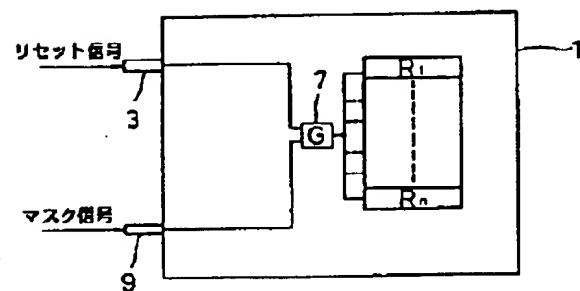
7 …ゲート回路

$R_1 \sim R_n \cdots$ デバッグ用レジスタ

代理人弁理士 三好 保 夕



第1図



第2図